

IAP20 Rec'd PCT/PTO 30 DEC 2005

## 明細書

Pbフリーはんだ合金を用いたリフローはんだ付け方法および混載実装方法並びに混載実装構造体

5

## 技術分野

本発明は、毒性の少ないPbフリーはんだ合金を用いたリフローはんだ付け方法及び混載実装方法並びに混載実装された混載実装構造体に関するものである。

## 10 背景技術

有機基板等の回路基板へ電子部品をはんだ付けして実装する際、毒性の少ないPbフリーはんだ合金を使用するという要求が生じてきている。

このPbフリーはんだを用いた実装方法に関する従来技術としては、特開平10-166178号公報（従来技術1）、特開平11-179586号公報（従来技術2）、特開平11-221694号公報（従来技術3）、特開平11-354919号公報（従来技術4）、特開2001-168519号公報（従来技術5）および特開2003-46229号公報（従来技術6）などが知られている。

従来技術1には、Pbフリーはんだとして、Sn-Ag-Bi系はんだ、或いはSn-Ag-Bi-Cu系はんだ合金が記載されている。従来技術2には、Pbフリーはんだとして有力なSn-Ag-Bi系はんだを、表面にSn-Bi系層を施した電極と接続することが記載されている。従来技術3には、電子部品を、有機基板の第1面および第2面からなる両面の各々に、Snを主成分とし、Biを0~6.5質量%、Agを0.5~4.0質量%、Cu若しくは／及びInを合計0~3.0質量%含有するPbフリーはんだによってリフローはんだ付けすることが記載されている。従来技術4には、Biを含有するPbフリーはんだを用いて電子部品と回路基板とを接続する方法において、はんだを約10~20°C/sの冷却速度で

冷却することが記載されている。従来技術5には、基板のA面でリフローはんだ付けによって電子部品を表面接続実装し、ついで基板のB面でフローはんだ付けにより、A面側から挿入した電子部品のリードを電極にフローはんだ付けして接続実装する方法において、A面側でリフローはんだ付けに用いるはんだを、Sn—(1. 5~3. 5wt%)Ag—(0. 2~0. 8wt%)Cu—(0~4wt%)In—(0~2wt%)Biの組成で構成されるPbフリーはんだであり、B面側でフローはんだ付けに用いるはんだを、Sn—(0~3. 5wt%)Ag—(0. 2~0. 8wt%)Cuの組成で構成されるPbフリーはんだであることが記載されている。従来技術6には、Pbフリーのはんだを用いて混載実装する方法において、回路基板の上面を冷却してフローはんだ付けすることによって表面実装部品の接続部のはんだの再溶融による表面実装部品のはがれを防止することが記載されている。さらに、従来技術6には、リフローはんだペーストのはんだ合金としてSn—(1~4)Ag—(0~8)Bi—(0~1)Cu(単位:質量%)を用いることと、フローはんだとして共晶組成に近いSn—3Ag—0. 5CuやSn—0. 8Ag—5. 7Bi(単位:質量%)を用いることが記載されている。

### 発明の開示

ところで、最近、Pbフリーのはんだを用いた混載実装方法において、部品本体の耐熱温度が220℃のFPGA(フィールドプログラマブルゲートアレイ)などの低耐熱性電子部品を回路基板の表面側にリフローはんだ付けすることが必要となってきたている。

さらに、混載実装方法においては、上記低耐熱性電子部品を回路基板の表面側にリフローはんだ付けし、回路基板の表面側から挿入した電子部品のリードにPbフリーのはんだを用いてフローはんだ付けする必要がある。このフローはんだ付けの際も、リフローはんだが再溶融して上記低耐熱性電子部品の剥がれを防止すると共に、はんだ接続後の信頼性を低下させないようにする必要がある。

しかしながら、上記従来技術1～6には、Pbフリーのはんだを用いて、これら必要な課題を満たすような混載実装方法については十分考慮されていなかった。

本発明の目的は、上記課題を解決すべく、FPGA（フィールドプログラマブルゲートアレイ）等の低耐熱性電子部品のリフローはんだ付けを実現したPbフリー  
5　はんだ合金を用いたリフローはんだ付け方法を提供することにある。

また、本発明の他の目的は、FPGA等の低耐熱性電子部品のリフローはんだ付けを実現し、しかもフローはんだ付けの際リフローはんだ付け部の接続強度の信頼性を維持できるようにしたPbフリーはんだ合金を用いた混載実装方法およびそのシステム並びに混載実装構造体を提供することにある。

10　上記目的を達成するために、本発明は、表面実装部品を回路基板の上面または下面に、Sn—(1～4)Ag—(0～1)Cu—(7～10)In（単位：質量%）をベースとする合金からなるPbフリーはんだペーストを用いてはんだ付けを行うことを特徴とするPbフリーはんだ合金を用いたリフローはんだ付け方法である。

15　また、本発明は、前記表面実装部品のリードには、Pbフリーめっきが施されていることを特徴とする。また、本発明は、前記Pbフリーめっきとして、SnめっきまたはSn—Biめっきであることを特徴とする。

また、本発明は、FPGA等の低耐熱性電子部品（耐熱温度220℃程度以下）を含む表面実装部品を回路基板の少なくとも上面にIn入り低融点Pbフリーは  
20　はんだペーストを用いてはんだ付けを行う低温リフローはんだ付け工程と、挿入実装部品のリード若しくは端子を前記回路基板に穿設されたスルーホールに上面側から挿入する挿入工程と、該挿入工程で挿入実装部品のリード若しくは端子をスルーホールに挿入した後、前記回路基板にフラックスを塗布するフラックス塗布工程と、該フラックス塗布工程で回路基板にフラックスを塗布後、該回路基板の下面を予備  
25　加熱する予備加熱工程と、該予備加熱工程で下面を予備加熱された回路基板の上面を冷却しながら回路基板の下面に高信頼性を有するSn—Cu系やSn—Ag系

などの高融点 Pb フリーはんだの噴流を当て、挿入実装部品のリード若しくは端子を回路基板にフローはんだ付けを行うフローはんだ付け工程とを有することを特徴とする Pb フリーはんだを用いた混載実装方法である。

特に、本発明は、前記低温リフローはんだ付け工程において、用いる In 入り低融点 Pb フリーはんだペーストとしては、Sn-Cu 系、Sn-Ag 系、Sn-Ag-Cu 系または Sn-Ag-Bi 系に In を加えた系、好ましくは Sn-(1~4)Ag-(0~1)Cu-(4~10)In (単位: 質量%) をベースとする合金である。

合金に In を (4~10 質量%) 加える理由としては、In は Bi とは異なり、はんだのベース金属となる Sn に対して固溶度が高く、はんだ付け時の溶融した状態から室温に冷却してもはんだ内に析出しにくい。また、析出しても微細にはんだ中に分散し、Bi のように、はんだの冷却時にはんだが均一に冷却されず温度勾配を持つと、高温側への偏析が起こりにくい性質があるからである。該偏析が起こると接続部の接続強度を著しく低下させるため、偏析の発生を完全に抑止する必要がある。

また、上記低耐熱性電子部品 (耐熱温度 220°C 付近) を含む表面実装部品を、リフロー炉を用いてリフローはんだ付けする際、熱容量の大小、赤外線の反射率などが各部品によって異なるため、部品を搭載した回路基板内には温度ばらつきが生じる。また、この温度ばらつきは回路基板によっては最大 15°C にもなることがわかつている。また、上記低耐熱性電子部品 (耐熱温度 220°C) は熱容量の小さい小型のものが多く、多くの場合リフローはんだ付けする際、基板内で最高温度となる。一方、回路基板上にはんだペーストが供給される場所の中には、BGA (Ball Grid Array) 等のように、部品本体と回路基板との間にリフロー炉の熱風が流れ込みにくい場所があり、この場合リフローはんだ付けする際、回路基板内で最低温度となる。

従って、上記低耐熱性電子部品を回路基板にリフローはんだ付けする場合、リフ

ローはんだペーストは最低で205°C (=220-15) 付近で溶融する必要があり、これにはSn-(1~4)Ag-(0~1)Cu系はんだに7~10質量%程度のIn添加が必要となる。

以上説明した理由により、リフローはんだペーストとしては、上記低耐熱性電子部品のリフローはんだ付けを実現し、偏析の発生を完全に抑止して接続部の接続強度を著しく低下させるのを防止するために、Sn-(1~4)Ag-(0~1)Cu-(7~10)In (単位: 質量%) をベースとする合金となる。

さらに、本発明は、前記フローはんだ付け工程において、Pbフリーはんだペーストとしては、Sn-Cu系、Sn-Ag系、Sn-Ag-Cu系、Sn-Ag-Bi系若しくはこれらにInを加えた系等の共晶組成または該共晶組成に近い組成である。特に、Sn-3Ag-0.5Cu-xIn (0≤x≤9, 単位: 質量%) は、Sn-Ag-Cu系共晶組成または共晶組成に近い組成であり、しかも従来のSn-37Pbの融点183°Cよりも高融点であり、極限条件でも接続の高信頼性を有して使用可能である。また、Sn-0.8Ag-57Biは、共晶組成または共晶組成に近い組成であり、使用温度が限定されて使用される場合には、接続の高信頼性を有して使用可能である。

そして、前記フローはんだ付け工程において、回路基板の下面に当てるPbフリーはんだの噴流の温度が170°C~260°Cの範囲内であることを必要とする。これははんだが基板電極に対して十分に濡れる温度であるからである。

また、表面実装部品の電極における従来のめっきに含まれるPbは、リフローはんだ付け後の接続部のはんだ組成(共晶組成)から大きく逸脱した別の低温共晶組成を作り出す成分が多量に含まれており、フローはんだ付け時の溶融はんだ(170°C~260°C)の熱影響により、リフロー接続部のはんだ再溶融する際、この低温共晶組成が優先的に溶融し、この組成が高温部分に濃縮しやすくなるため、上記偏析の発生を促進する。

従って、表面実装部品の電極のめっきもPbフリーの組成とすることが望ましく、

組成としては、純Sn（融点232℃）などの表面実装に使用するはんだ合金の構成元素とするのが良い。また、ウィスカ（ひげ結晶）の発生が著しい部品に対しては、Snに微量のBiを添加したものを使用するのが良いとされている。

また、本発明は、前記フローはんだ付け工程において、上記In入り低融点リフローはんだが再溶融して上記低耐熱性電子部品の剥がれを防止するために、回路基板の上面に対して50℃以下（20℃～50℃の範囲）の窒素等の流体を流量として概ね0.3～1.2m<sup>3</sup>/分（好ましくは概ね0.5～1.2m<sup>3</sup>/分）にして吹き付けて冷却を行う方がフローはんだの許容溶融温度範囲の上限を広げることができるので好ましい。ただし、回路基板にフローはんだ付けを行う際の小径スルーホールや大熱容量挿入実装部品が挿入されるスルーホールへのはんだ揚がりを抑制し、はんだ凝固後に十分な接続強度が得られない場合があるから、上記流量（1.2m<sup>3</sup>/分）を超えて使用しないことが望ましい。

また、本発明は、前記フローはんだ付け工程において、回路基板の上面に対して50℃以下（20℃～50℃の範囲）の窒素等の流体を吹き付けて冷却しながら、表面実装電子部品のリードに放熱用の治具を接触させることによって、フローはんだの許容溶融温度範囲の上限を広げることができる。

以上説明したように、本発明によれば、FPGA等の低耐熱性電子部品の回路基板へのリフローはんだ付けをPbフリーはんだ合金を用いて実現できる効果を奏する。

また、本発明によれば、FPGA等の低耐熱性電子部品を含む表面実装部品の回路基板へのリフローはんだ付けと挿入実装部品等についての回路基板へのフローはんだ付けとをPbフリーはんだ合金を用いて行なってPbフリー化に伴い発生するはんだ付け欠陥を防止し、しかも高信頼性を維持した混載実装を実現できる効果を奏する。

また、本発明によれば、Pbフリーはんだ合金を用いたFPGA等の低耐熱性電子部品を含む表面実装部品および挿入実装部品等の混載実装において、フローはん

だ付けの際、溶融はんだの噴流の温度許容範囲を高温度側に拡張することができる  
ので温度のコントロールがしやすくなる効果を奏する。

#### 図面の簡単な説明

5 第1図は、本発明に係るPbフリーはんだを用いた混載実装方法の第1の実施例  
を説明するための図である。

第2図は、本発明に係るPbフリーはんだを用いた混載実装方法の第2及び第3  
の実施例を説明するための図である。

10 第3図は、本発明に係る第4の実施例であるQFPに放熱治具を取付ける（搭載  
する）状態を示す図である。

第4図は、本発明に係る第1の実施例におけるQFP-LSI接続部破断条件を  
示した図である。

第5図は、本発明に係る第2の実施例におけるQFP-LSI接続部破断条件を  
示した図である。

15 第6図は、本発明に係る第3の実施例におけるQFP-LSI接続部破断条件を  
示した図である。

第7図は、本発明に係る第4の実施例におけるQFP-LSI接続部破断条件を  
示した図である。

20 第8図は、本発明に係る第5の実施例におけるQFP-LSI接続部破断条件を  
示した図である。

第9図は、本発明に係る第6の実施例におけるQFP-LSI接続部破断条件を  
示した図である。

第10図は、本発明に係る第7の実施例におけるQFP-LSI接続部破断条件  
を示した図である。

25 第11図は、比較例におけるQFP-LSI接続部破断条件を示した図である。

## 発明を実施するための最良の形態

本発明の実施の形態について、図面を用いて詳細に説明する。

本発明は、第1図に示すように、FPGA（フィールドプログラマブルゲートアレイ）などの低耐熱性電子部品（耐熱温度220°C程度以下）を含む表面実装部品

5 2、4aを有機基板等の回路基板1の上面101にIn入り低融点Pbフリーはんだペースト11を用いてはんだ付けを行い、その後、回路基板1の上面側よりスルーホールなどに、挿入実装部品5のリード12を挿入し、その後、回路基板1にフラックスを塗布し、その後、回路基板1の下面102からPbフリーの溶融はんだ噴流3によってフローはんだ付けして混載実装することにある。フローはんだ付け  
10 する際、回路基板1へのはんだ付け時間を短縮するために、まず回路基板1の下面102をシーズヒーターなどの予備加熱装置22で予備加熱を行う。その後、回路基板1の下面102からPbフリーの溶融はんだ噴流3によってフローはんだ付けを行い、はんだ付け直後に回路基板1の両面を冷却するものである。

15 このように、回路基板1の上面101に実装されるFPGAなどの低耐熱性電子部品2は一般的に他の表面実装電子部品と比較して熱容量が小さく、温度が上昇し易い場合が多い。

このことから、一般的なリフロー炉では、リフローはんだ付け時に上記低耐熱性電子部品2の部品本体が基板内最高温度部となる場合が多くなる。また、リフローはんだ付け時に、はんだペースト供給部に熱風が当たるのを部品本体が抑制しやすい構造をもつBGA（Ball Grid Array）等の場合、上記はんだペースト供給部が基板内最低温度部となる場合が多くなる。いずれにしても、FPGAなどの低耐熱性電子部品2としては、QFP-LSIで構成される場合が多く、BGA-LSIで構成される場合もある。

従って、上記低耐熱性電子部品2の部品本体とはんだペースト供給部11との間の温度差が回路基板内1の温度ばらつきとなり、一般的なリフロー炉では最大15°C程度となる。このため、上記低耐熱性電子部品2の部品本体を220°C以下と

するならば、必然的にはんだペースト供給部11は205°C以下となり、205°Cでも溶融するPbフリーのリフローはんだペーストが必要となる。

そこで、In入り低融点Pbフリーはんだペースト11としては、205°Cでも溶融するSn-(1~4)Ag-(0~1)Cu-(7~10)In(単位:質量%)をベースとする合金材料にしたことがある。

さらに、上記低耐熱性電子部品2がBGAで構成されている場合には、リフローはんだペーストはもとより、はんだポールも同じ組成にすることが望ましいことになる。

また、フローはんだ噴流3のPbフリーの材料としては、Sn-Cu系、Sn-Ag系、Sn-Ag-Cu系、Sn-Ag-Bi系若しくはこれらにInを加えた系等の共晶組成または該共晶組成に近い組成である。特に、Sn-3Ag-0.5Cu-xIn(0≤x≤9, 単位:質量%)は、Sn-Ag-Cu系共晶組成または共晶組成に近い組成であり、しかも従来のSn-37Pbの融点183°Cよりも高融点であり、極限条件でも接続の高信頼性を有して使用可能である。また、Sn-0.8Ag-5.7Biは、共晶組成または共晶組成に近い組成であり、使用温度が限定されて使用される場合には、接続の高信頼性を有して使用可能である。

そして、前記フローはんだ付け工程において、回路基板の下面に当てるPbフリーはんだの噴流の温度が170°C~260°Cの範囲内であることを必要とする。これははんだが基板電極に対して十分に濡れる温度であるからである。

また、上記フラックス塗布工程前に、必要に応じて回路基板1にA1等の金属製の反り防止治具を取り付けてよい。また、回路基板1の下面に表面実装部品がりフローはんだ付けによって実装されている場合には、この部分にカバー(図示せず)を取り付けてフローはんだが付かないようにすることも可能である。

また、フローはんだ付けする際、第2図に示すように、回路基板1の上面102を基板冷却装置6で50°C以下(20°C~50°Cの範囲)の窒素等の流体を概ね0.3~1.2m³/分(好ましくは0.5~1.2m³/分)の流量で吹き付けて冷

却すれば、フローはんだの許容溶融温度範囲の上限を広げることが可能となる。さらに、表面実装電子部品2のリード等に第3図に示すように、アルミ等の金属の放熱治具を接触させれば、フローはんだの許容溶融温度範囲の上限をさらに広げることが可能となる。

5 このように、回路基板1の上面101を基板冷却装置6で冷却した状態で、フローはんだ付けをすることによって、フローはんだの溶融温度範囲の上限を広げたとしても、表面実装部品2、4の接続部においてIn入り低融点Pbフリーはんだペースト11の再溶融によって剥がれが生じるのを防止することが可能となる。

#### [第1の実施例]

10 第1の実施例は、回路基板1として、一般的に幅広く使用されている厚さが1.6mm程度、縦が350mm程度、横が350mm程度、基板面銅箔厚さが $18\mu m$ 程度であり、1mm程度の内径、1.6mm程度のCuパッド径、0.7個/cm<sup>2</sup>程度の密度で形成されたスルーホールを有するガラスエポキシ基板1aを用いた。

15 表面実装部品2としては、リードピッチ0.5mm程度、リード幅0.2mm程度、Sn-10mass%Pbめっきを施された208本の42アロイ製リードを持った32mm角QFP-LSI2aを用いた。

そして、ガラスエポキシ基板1aの上面に、32mm角QFP-LSI2aを、  
20 Sn-3Ag-0.5Cu-xIn (0≤x≤9, 単位:質量%) の10種類のIn含有はんだペースト(次の表1に詳細を示す)11によりリフローはんだ付けを行った。

表 1

はんだ組成 (mass%)	固相線温度 (°C)	液相線温度 (°C)
Sn-3Ag-0.5Cu	217	220
Sn-3Ag-0.5Cu-1In	207	219
Sn-3Ag-0.5Cu-2In	206	218
Sn-3Ag-0.5Cu-3In	205	217
Sn-3Ag-0.5Cu-4In	204	216
Sn-3Ag-0.5Cu-5In	202	215
Sn-3Ag-0.5Cu-6In	200	213
Sn-3Ag-0.5Cu-7In	198	211
Sn-3Ag-0.5Cu-8In	195	210
Sn-3Ag-0.5Cu-9In	193	209

この表1から明らかなように、Inが7質量%になると固相線温度が198°Cとなり、液相線温度が211°Cとなり、205°C付近で溶融することになる。従って、Inが7質量%以上含有するようにすれば、FPGAなどの低耐熱性電子部品（耐熱温度220°C程度以下）2を回路基板1の表面側にリフローはんだ付けすること可能となる。

しかし、Inが10質量%を越えて含有すると、はんだの冷却時に偏析が起こり、接続部の接続強度を著しく低下させることになるため、Inの含有量を10質量%以下にする必要がある。

次に、この基板サンプルのQFP-LSI2aが4個接続されている方の回路基板1の上面側より、基板のスルーホール（図示せず）に、Sn-10 mass % Pbめっきを施された0.5mm角の端子（リード）11aを持つ2.54mmピッチ6端子コネクタ5aを6個挿入した。

次に、回路基板1の下面102について最高出力9kWのシーズヒーターを使用した予備加熱を行い、1分で25°C（常温）の回路基板1aの下面102の温度を、最高部118°C、最低部100°Cにした。その後、回路基板1の上面101を基板冷却装置6で冷却しない状態で、共晶組成に近いSn-3Ag-0.5Cu（単位：

質量%)やSn-0.8Ag-57Bi(単位:質量%)のはんだの噴流3aを基板1aの下面102に当てて、第1図に示すように基板冷却装置6による冷却をせずに、6端子コネクタ5aのはんだ付けを行い基板サンプルを作製したものである。但し、この際、フローはんだ槽(図示せず)の溶融はんだをSn-0.8Ag-5  
5 7Bi、Sn-0.7CuあるいはSn-3Ag-0.5Cuとし、その温度が170~260°Cとなるようにフローはんだ槽の温度を数条件に固定した。

以上説明したサンプルにおいて、QFP-LSI2aの接続部に破断がおきているかを観察した。

第4図は、リフローはんだ材料組成が本発明に係るSn-3Ag-0.5Cu-xIn(0≤x≤9, 単位:質量%)の10種類のIn含有はんだペーストの場合の実験結果を示す。第11図には、リフローはんだ材料組成が比較例としてのSn-3Ag-0.5Cu-xBi(0≤x≤8, 単位:質量%)の9種類のBi含有はんだペースト場合の実験結果を示す。

各図とも、横軸にフローはんだ槽の溶融はんだの温度を、縦軸にQFP-LSIの接続に使用したはんだのBi、In含有量をとり、破断が起きなかった条件を○印で、破断が起きた条件を×印で示した。

また、各図の中の実線は、破断が起きる条件と起きない条件の境界と考えられる線である。なお、第4図の本発明に係る実験結果を第11図の比較例の実験結果と比較するために、第4図の中に第11図の境界を点線で示した。

20 第4図に示す如く、基板1aの上面101を冷却しない実験結果でも、QFP-LSI2aの接続に使用したはんだペースト11を本発明に係るSn-3Ag-0.5Cu-xInとしたことにより、Sn-3Ag-0.5Cu-xBiとした比較例に比べて、フローはんだ付け時の接続部の破断が起きにくく、溶融はんだの許容温度範囲を広くできることがわかった。

25 即ち、表面実装用リフローはんだ組成として本発明のようにSn-Ag-Cu系にInを添加することにより、フローはんだ付け時の表面実装部品の偏析剥離が抑

制できることができることが実験によって確認することができた。

さらに、第4図に示す実験結果によれば、Inの含有量が7質量%の場合フロー溶融はんだの温度を235°Cまで、Inの含有量が8~9質量%の場合フロー溶融はんだの温度を230°Cまでにすることができる事が確認できた。

### 5 [第2の実施例]

第2の実施例において、第1の実施例と相違する点は、フローはんだ付けの際、第2図に示すように、回路基板1の上面101を基板冷却装置6で20°C~50°C程度の窒素等の流体を概ね0.5m³/分の流量で吹き付けて冷却した点である。

第5図には、横軸にフローはんだ槽の溶融はんだの温度を、縦軸にQFP-LSIの接続に使用したはんだのIn含有量をとり、破断が起きなかった条件を○印で、破断が起きた条件を×印で示した。また、第5図の中の実線は、破断が起きる条件と起きない条件の境界と考えられる線である。

第2の実施例の実験結果によれば、第5図に示すように、フロー溶融はんだの温度の上限が第4図に示す第1の実施例に比べて10°C弱上昇させてもよいことが確認できた。さらに、第5図に示す実験結果によれば、Inの含有量が7質量%の場合フロー溶融はんだの温度を245°Cまで、Inの含有量が8質量%の場合フロー溶融はんだの温度を240°Cまで、Inの含有量が9質量%の場合フロー溶融はんだの温度を235°Cまでにすることができる事が確認できた。

### [第3の実施例]

20 第3の実施例は、第2の実施例において、第2図に示すように、回路基板1の上面101を基板冷却装置6で20°C~50°C程度の窒素等の流体を概ね1.2m³/分の流量で吹き付けて冷却したものである。第6図には、横軸にフローはんだ槽の溶融はんだの温度を、縦軸にQFP-LSIの接続に使用したはんだのIn含有量をとり、破断が起きなかった条件を○印で、破断が起きた条件を×印で示した。また、第6図の中の実線は、破断が起きる条件と起きない条件の境界と考えられる線である。

第3の実施例の実験結果によれば、第6図に示すように、フローはんだの許容溶融温度の上限が第4図に示す第1の実施例に比べて15°C程度上昇させてもよいことが確認できた。さらに、第6図に示す実験結果によれば、Inの含有量が7質量%の場合フローはんだの許容溶融温度を250°Cまで、Inの含有量が8質量%の場合フローはんだの許容溶融温度を245°Cまで、Inの含有量が9質量%の場合フローはんだの許容溶融温度を240°Cまでにすることができることが確認できた。

以上の結果により、窒素等の流体の吹き付け量を1.2m<sup>3</sup>/分程度まで増加させると、表面実装部品用リフローはんだにIn量を7~9%程度添加しても、240~250°CのSn-Ag-Cu溶融はんだ等を用いてフローはんだ付けを行うことが可能となる。

#### [第4の実施例]

第4の実施例は、第2および第3の実施例と同様に、フローはんだ付けを行う際、基板冷却装置6を作動させた状態で、さらにリフローはんだ付けされた表面実装部品(32mm角QFP-LSI)2の接続部にアルミ等の金属製の正方形の枠の形状をした放熱治具7を搭載して表面実装部品2のリードに放熱治具7を接触させることにより回路基板1の上面101を冷却し、フローはんだ付け時の表面実装部品の偏析剥離の抑制効果を向上させたものである。なお、この際、フロー溶融はんだをSn-0.7CuあるいはSn-3Ag-0.5Cuとし、その温度が250~280°Cとなるようにフローはんだ槽の温度を数条件に固定した。

第7図には、横軸にフローはんだ槽の溶融はんだの温度を、縦軸にQFP-LSIの接続に使用したはんだのIn含有量をとり、破断が起きなかった条件を○印で、破断が起きた条件を×印で示した。また、第7図の中の実線は、破断が起きる条件と起きない条件の境界と考えられる線である。

第4の実施例の実験結果によれば、第7図に示すように、フローはんだの許容溶融温度の上限が第4図に示す第1の実施例に比べて20°C程度上昇させてもよい

ことが確認できた。さらに、第7図に示す実験結果によれば、Inの含有量が7質量%の場合フローはんだの許容溶融温度を260℃まで、Inの含有量が8～9質量%の場合フローはんだの許容溶融温度を250℃までにすることができることが確認できた。

5 以上の結果により、窒素吹き付け量を1.2m<sup>3</sup>/分程度にて基板上面冷却を行い、放熱治具を使用すれば、表面実装部品用リフローはんだにIn量を9%程度添加しても、250℃のSn-Ag-Cu溶融はんだ等を用いてフローはんだ付けを行うことが可能となる。要するに、第4の実施例によれば、250℃のSn-Ag-Cu溶融はんだ等を用いてフローはんだ付けを行う場合において、表面実装部品用は  
10 んだに添加できるIn量は9%程度まで増加させることができとなり、低耐熱性電子部品に十分対応させることができとなる。

#### [第5の実施例]

第5の実施例は、第1の実施例において、リフローはんだ付けされる表面実装部品のリードめっきをPbフリー化することにより、フローはんだ付け時の表面実装  
15 部品の偏析剥離の抑制効果を向上させたものである。

但し、この際、フローはんだ槽（図示せず）の溶融はんだを共晶組成に近いSn-0.8Ag-5.7Bi、Sn-0.7CuあるいはSn-3Ag-0.5Cu（単位：質量%）とし、その温度が235～280℃となるようにフローはんだ槽の温度を数条件に固定した。

20 以上説明した各サンプルにおいて、QFP-LSI2aの接続部に破断がおきているかを観察した。

第8図、第9図に第5の実施例であるそれぞれSn-3質量%Biめっき、Snめっきの場合の実験結果を示す。これら第8図、第9図は、横軸にフローはんだ槽の溶融はんだの温度を、縦軸にQFP-LSIの接続に使用したはんだのIn含有量をとり、破断が起きなかった条件を○印で、破断が起きた条件を×印で示した。  
25 また、各図の中の実線は、破断が起きる条件と起きない条件の境界と考えられる線

である。

なお、第4図（Sn-10Pbめっきを使用したもの）の実験結果と比較するために、第8図の中に第4図の境界を点線で示した。さらに、第8図（Sn-3Biめっきを使用したもの）の実験結果と比較するために、第9図の中に第8図の境界を点線で示した。  
5

これらの結果により、Sn-3Biめっきを使用した場合（第8図）、250℃のSn-Ag-Cu溶融はんだ等でフローはんだ付けを行う場合、表面実装部品用はんだに添加できるIn量は8%程度であることがわかる。さらに、Snめっきを使用した場合（第9図）、250℃のSn-Ag-Cu溶融はんだ等でフローはん  
10 だ付けを行う場合、表面実装部品用はんだに添加できるIn量は9%程度であることがわかる。しかしながら、260℃のSn-Ag-Cu溶融はんだ等でフローはんだ付けを行う場合には、表面実装部品用はんだに添加できるIn量は5%程度になってしまう。

以上説明したように、表面実装部品のリードめっきをPbフリー化する第5の実  
15 施例によれば、第1の実施例と同様に、基板冷却装置6で冷却することなく、リフロ  
ーはんだに添加できるIn量を8~9%程度にすることができ、低耐熱性電子部品に十分対応させることができるとなる。

#### [第6の実施例]

第6の実施例は、第4の実施例において、リフローはんだ付けされる表面実装部  
20 品のリードめっきをPbフリー化することにより、フローはんだ付け時の表面実装  
部品の偏析剥離の抑制効果を向上させたものである。

但し、この際、フローはんだ槽（図示せず）の溶融はんだを共晶組成に近いSn  
-0.7Cu（単位：質量%）やSn-3Ag-0.5Cu（単位：質量%）とし、  
その温度が250~280℃となるようにフローはんだ槽の温度を数条件に固定  
25 した。

以上説明した各サンプルにおいて、QFP-LSI2aの接続部に破断がおきて

いるかを観察した。

第10図に第6の実施例の実験結果を示す。この第10図は、横軸にフローはんだ槽の溶融はんだの温度を、縦軸にQFP-LSIの接続に使用したはんだのIn含有量をとり、破断が起きなかった条件を○印で、破断が起きた条件を×印で示した。また、第10図の中の実線は、破断が起きる条件と起きない条件の境界と考えられる線である。なお、第9図(Snめっきを使用し、基板上面冷却も放熱治具も使用しないもの)の実験結果と比較するために、第10図の中に第9図の境界を点線で示した。

第10図に示すように、第6の実施例によれば、250°C、260°Cの両方の温度のSn-Ag-Cu溶融はんだ等でフローはんだ付けを行う場合においても、表面実装部品用はんだに添加できるIn量は9%程度にすることが可能となり、その結果、低耐熱性電子部品に十分対応することが可能となる。

#### 産業上の利用可能性

本発明は、FPGA等の低耐熱性電子部品の回路基板へのはんだ付けをPbフリーはんだ合金を用いて実現することができる。

## 請求の範囲

1. 表面実装部品を回路基板の上面または下面に、S n - (1 ~ 4) A g - (0 ~ 1) C u - (7 ~ 1 0) I n (単位: 質量%) をベースとする合金からなるP bフ  
リーはんだペーストを用いてはんだ付けを行うことを特徴とするP bフリーはん  
だ合金を用いたリフローはんだ付け方法。  
5
2. 前記表面実装部品のリードには、P bフリーめっきが施されていることを特徴  
とする請求項 1 記載のP bフリーはんだ合金を用いたリフローはんだ付け方法。
3. 前記P bフリーめっきとして、S nめっきまたはS n-B iめっきであること  
10 を特徴とする請求項 2 記載のP bフリーはんだ合金を用いたリフローはんだ付け  
方法。
4. 表面実装部品を回路基板の少なくとも上面に、S n - (1 ~ 4) A g - (0 ~ 1) C u - (7 ~ 1 0) I n (単位: 質量%) をベースとする合金からなるP bフ  
リーはんだペーストを用いてはんだ付けを行うリフローはんだ付け工程と、  
15 挿入実装部品のリード若しくは端子を前記回路基板に穿設されたスルーホール  
に上面側から挿入する挿入工程と、  

該挿入工程で挿入実装部品のリード若しくは端子をスルーホールに挿入した後、  
前記回路基板にフラックスを塗布するフラックス塗布工程と、

該フラックス塗布工程で回路基板にフラックスを塗布後、該回路基板の下面を予  
20 備加熱する予備加熱工程と、  

該予備加熱工程で下面を予備加熱された回路基板の下面に、P bフリーはんだの  
噴流を当て、挿入実装部品のリード若しくは端子を回路基板にフローはんだ付けを  
行うフローはんだ付け工程とを有することを特徴とするP bフリーはんだ合金を  
用いた混載実装方法。
- 25 5. 前記リフローはんだ付け工程において、前記表面実装部品のリードには、P b  
フリーめっきが施されていることを特徴とする請求項 4 記載のP bフリーはんだ

合金を用いた混載実装方法。

6. 前記 Pb フリーめっきとして、Sn めっきまたは Sn-Bi めっきであること を特徴とする請求項 5 記載の Pb フリーはんだ合金を用いた混載実装方法。
7. 前記フローはんだ付け工程において、前記 Pb フリーはんだは、Sn-Cu 系、  
5 Sn-Ag 系、Sn-Ag-Cu 系、Sn-Ag-Bi 系若しくはこれらに In を 加えた系の共晶組成または該共晶組成に近い組成であることを特徴とする請求項 4 記載の Pb フリーはんだ合金を用いた混載実装方法。
8. 前記フローはんだ付け工程において、前記 Pb フリーはんだは、Sn-Cu 系、  
Sn-Ag 系、Sn-Ag-Cu 系、Sn-Ag-Bi 系若しくはこれらに In を  
10 加えた系の共晶組成または該共晶組成に近い組成であることを特徴とする請求項 5 記載の Pb フリーはんだ合金を用いた混載実装方法。
9. 前記フローはんだ付け工程において、前記 Pb フリーはんだの噴流の温度が 1  
70°C ~ 260°C の範囲内にあることを特徴とする請求項 7 記載の Pb フリーは  
んだ合金を用いた混載実装方法。  
15 10. 前記フローはんだ付け工程において、前記 Pb フリーはんだの噴流の温度が  
170°C ~ 260°C の範囲内にあることを特徴とする請求項 8 記載の Pb フリーは  
んだ合金を用いた混載実装方法。  
11. 前記フローはんだ付け工程において、前記回路基板の上面に対して 50°C 以  
下の流体を吹付けて冷却することを特徴とする請求項 7 記載の Pb フリーはんだ  
20 合金を用いた混載実装方法。  
12. 前記フローはんだ付け工程において、前記回路基板の上面に対して 50°C 以  
下の流体を吹付けて冷却することを特徴とする請求項 8 記載の Pb フリーはんだ  
合金を用いた混載実装方法。  
13. 前記フローはんだ付け工程において、前記流体の流量を 0.3 ~ 1.2 m³  
25 / 分とすることを特徴とする請求項 11 記載の Pb フリーはんだ合金を用いた混  
載実装方法。

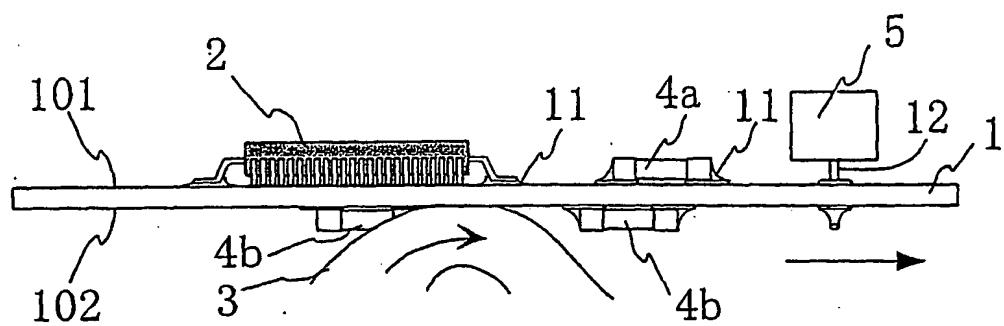
14. 前記フローはんだ付け工程において、前記流体の流量を0.3～1.2m<sup>3</sup>／分とすることを特徴とする請求項12記載のPbフリーはんだ合金を用いた混載実装方法。

15. 前記フローはんだ付け工程において、前記表面実装部品の接続部に放熱治具  
5 が接触して取付けられていることを特徴とする請求項11記載のPbフリーはん  
だ合金を用いた混載実装方法。

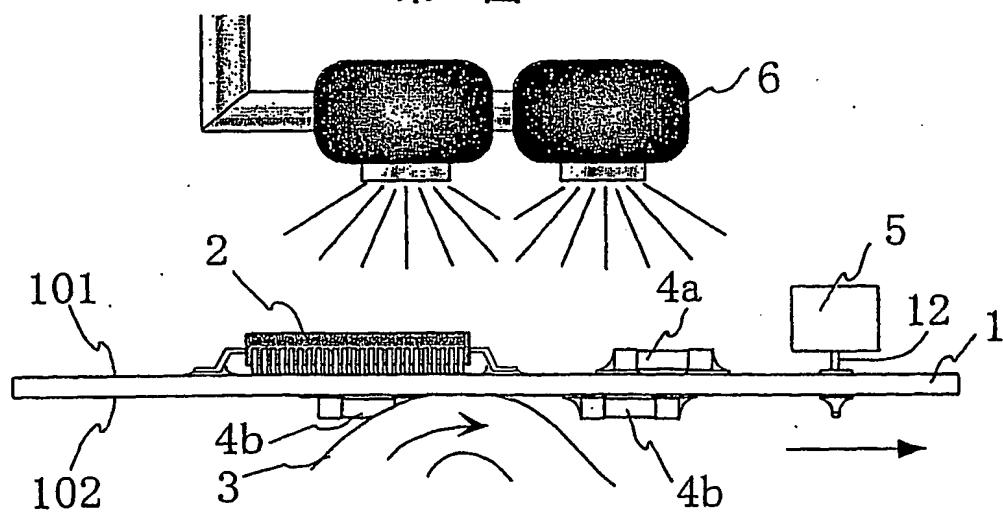
16. 前記フローはんだ付け工程において、前記表面実装部品の接続部に放熱治具  
が接触して取付けられていることを特徴とする請求項12記載のPbフリーはん  
だ合金を用いた混載実装方法。

10 17. 請求項4または5または7または8記載のPbフリーはんだ合金を用いた混  
載実装方法を用いて混載実装された混載実装構造体。

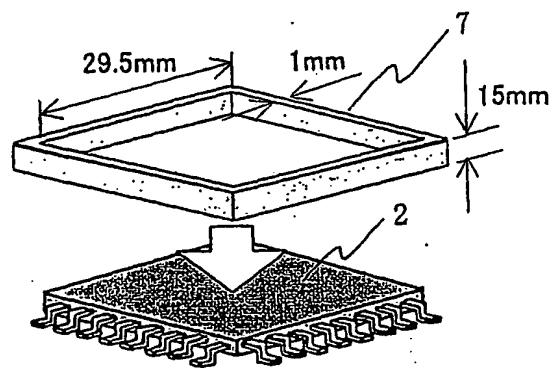
第1図



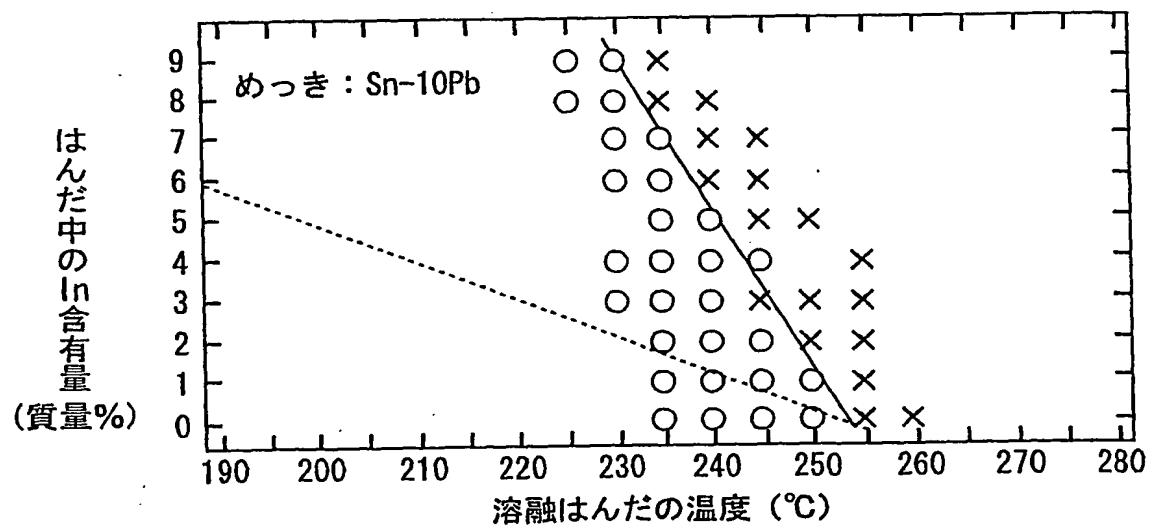
第2図



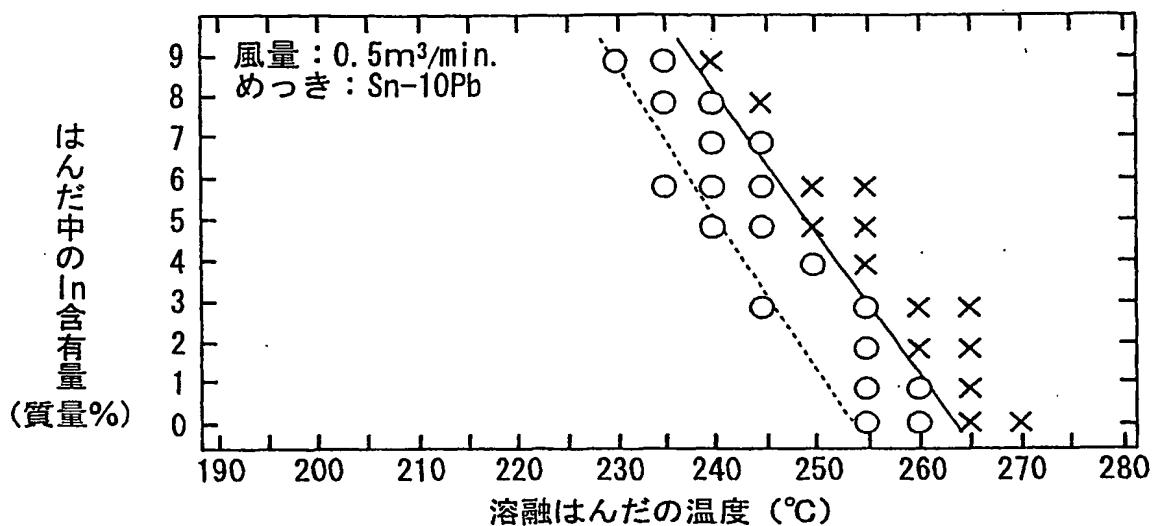
第3図



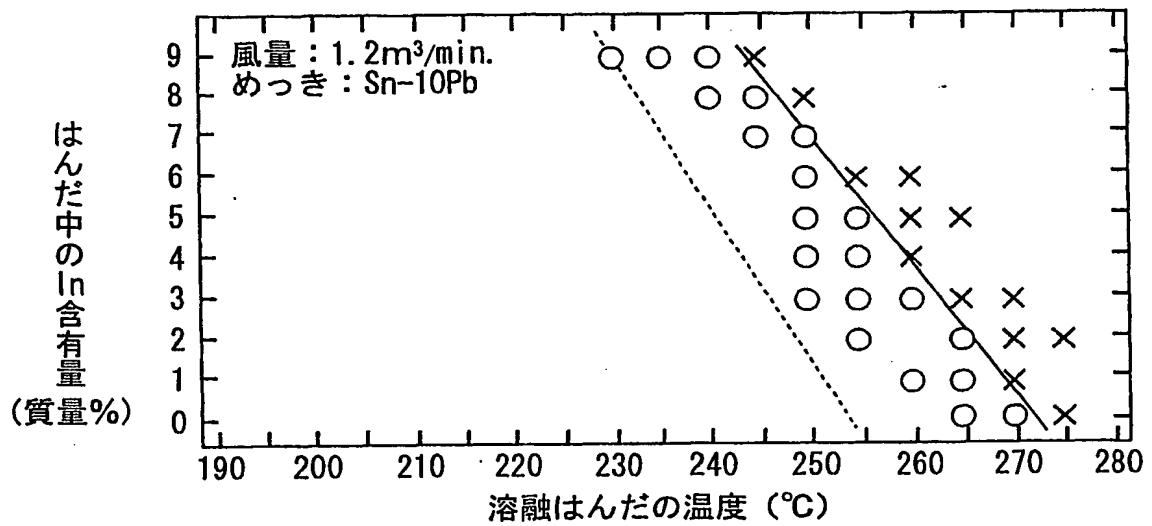
第4図



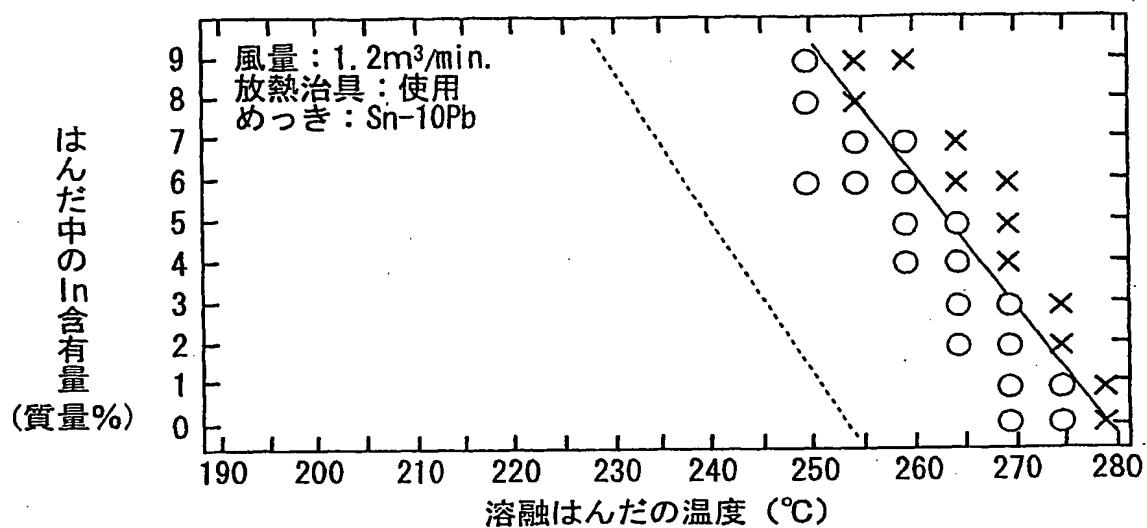
第5図



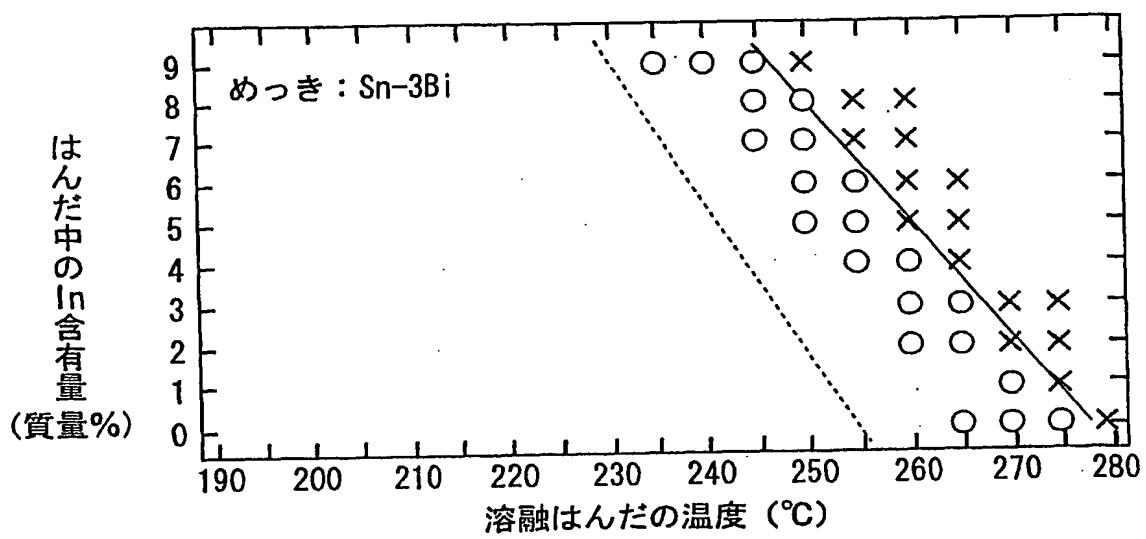
第6図



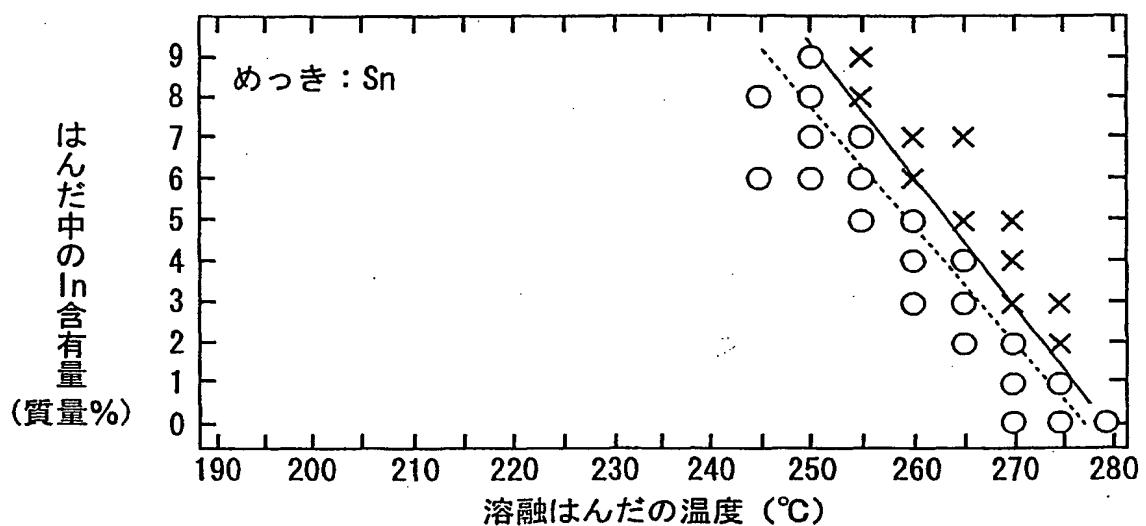
第7図



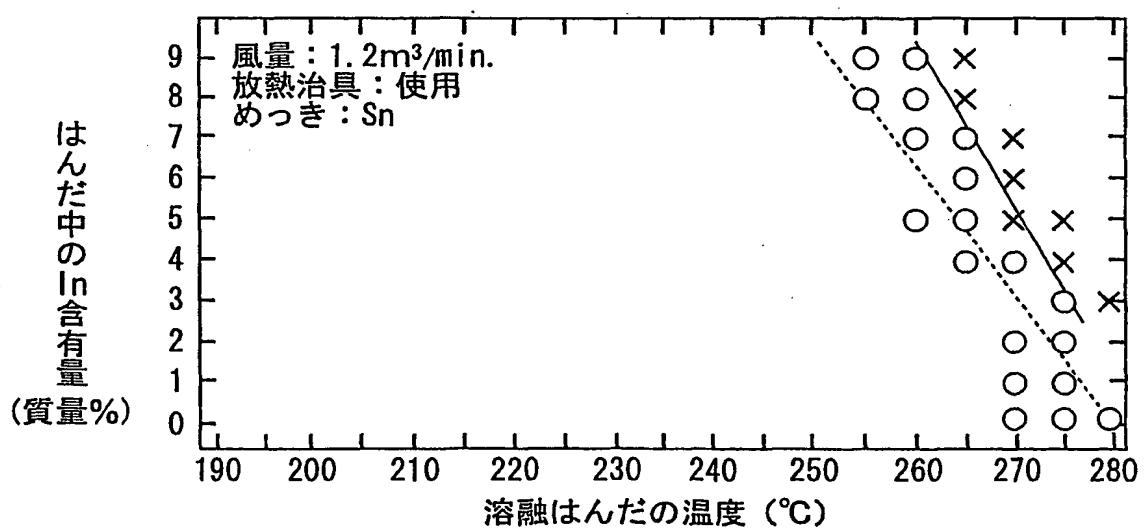
第8図



第9図



第10図



第11図

